

⑫ 公開特許公報(A)

昭64-20185

⑬ Int. Cl.⁴B 41 J 29/38
G 05 F 1/46

識別記号

庁内整理番号

Z-6822-2C
7319-5H

⑭ 公開 昭和64年(1989)1月24日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 電子機器

⑯ 特 願 昭62-177441

⑰ 出 願 昭62(1987)7月16日

⑱ 発 明 者	木 下	俊 明	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	真 鍋	晋 也	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑳ 出 願 人	松下電器産業株式会社			大阪府門真市大字門真1006番地
㉑ 代 理 人	弁理士 中尾 敏男			外1名

明 細 書

1. 発明の名称

電子機器

2. 特許請求の範囲

中央処理手段と、パワーセーブ時のプログラムを記憶したパワーセーブエリアを含む複数の記憶エリアを有し前記中央処理装置によりアクセスされる記憶手段と、前記中央処理手段の出力したアドレス信号が前記記憶エリアのいずれかをアクセスするためのものであった場合第1の信号を出力しさらに前記中央処理手段の出力したアドレス信号が前記パワーセーブエリアを示すものであった場合第2の信号を出力するアドレスデコードと、パワーセーブ時に前記中央処理装置により前記記憶手段を能動状態にしないアクセス禁止データが書き込まれるレジスタと、前記レジスタに書き込まれたデータが前記アクセス禁止データであった場合前記第1の信号及び前記第2の信号の両方が出力された場合のみ前記記憶手段を能動状態にするチップセレクト信号を出力する選択手段を備え

たことを特徴とする電子機器。

3. 発明の詳細な説明

産業上の利用分野

本発明は、電子タイプライターやワードプロセッサ等の電子機器に関するものである。

従来の技術

従来から、電子タイプライターやワードプロセッサ等の電子機器の中でも特にバッテリーを使用したものでは、オペレーターの操作が一定時間以上行われなかった場合、自動的にパワーセーブモードと呼ばれる状態に移行し、消費電力を抑えるよう構成されているものがある。

このパワーセーブモードでは、中央処理装置(以下、CPUと略称する。)、リードオンリーメモリ(以下、ROMと略称する。)やランダムアクセスメモリ(以下、RAMと略称する。)を備えたマイクロコンピュータの消費電力を抑えることが行われている。特に近年はCMOS技術の進歩によりCPUの消費電力が小さなものとなっているため、ROMの消費電流を抑えること

が全体としての消費電力を抑えることになる。

以下に従来の電子タイプライターのパワー制御について説明する。

第5図は従来の電子タイプライターの回路ブロック図であり、1はアドレスバスAB、データバスDB、リードライト信号線R/W等が接続されたCPU、2はCPUよりアドレスバスABに出力されるアドレス信号をデコードし、デコードした結果に従い端子C1、C2及びC3のいずれかにチップセレクト信号を出力するアドレスデコーダ、3はチップセレクト端子CS1を有し、CPUの制御プログラム等を記憶しているROM、4は端子C1に接続されたチップセレクト端子CS2を有するRAM、5はキャリッジリターンキー（図では省略されている。）を含む複数のキーを有し、端子C3にチップセレクト信号が出力された時にキースキャンを行い、押されているキーに対応するデータをデータバスDBに出力するキーボード、6はデータバスDBに接続されており、ROM3が能動状態になることを妨げるア

クセス禁止データがパワーセーブモードに入る前に書き込まれるレジスタ、7はレジスタ6にアクセス禁止データが書き込まれておらず、かつ端子C2にチップセレクト信号が出力されて時のみ端子CS1にチップセレクト信号を出力する論理積回路である。

第6図はCPU1のアクセス可能なメモリ領域を示すメモリマップであり、0000（16進数表示。）番地から7FFF番地まではROM3の領域、8000番地からFFFF番地まではRAM4の領域であり、RAM4内にはパワーセーブ時にプログラムが転送されるパワーセーブエリアが設けられている。

以上のように構成された従来の電子タイプライターについて、以下そのパワーセーブ時の動作について説明する。

オペレーターが一定時間以上キーボードを操作しなかった場合、電子タイプライターはパワーセーブモードに移行する。

まずCPU1は、レジスタ6にアクセス禁止デ

ータを書き込み、ROM3に記憶されているパワーセーブ時のプログラムをRAM4内のパワーセーブエリアに転送する。

パワーセーブ時のプログラムは、キャリッジリターンキーが押されたかどうかを検出し、それがチャタリング等により生じる誤ったデータでないかどうかを調べ、誤ったデータでなければメインルーチンへ復帰するというものである。この間のプログラムはRAM4に格納されているため、CPU1はRAM4とキーボード5のみをアクセスする。このためアドレスデコーダ2からは端子C1及びC2にのみチップセレクト信号が出力され、端子C3には出力されずROM3は能動状態とならず、電力を消費しない。またレジスタ4にはアクセス禁止データが書き込まれているため、アドレスバスDB等にノイズが生じ、アドレスデコーダ2よりROM3を能動状態にするチップセレクト信号が出力されても、ROM3のチップセレクト端子CS1にはチップセレクト信号が印加されない。

発明が解決しようとする問題点

しかしながら一般に電子タイプライターやワープロ等の電子機器においては、オペレーターが入力した文書データをRAM4に格納するよう構成されるため、RAM4はできるだけ多くの記憶領域があることが好ましいが、上記従来の構成ではパワーセーブ時のプログラムを確保するためにパワーセーブエリアを設けておく必要があり、文書データを格納するべき領域が狭くなっているという問題点を有していた。この問題点を解決するために、チャタリング等の誤データを判別する部分をRAM4に転送せず、キャリッジリターンキーが押下されたことを検出したら、レジスタ4の内容を変更しROM3をアクセス可能にし、ROM3をアクセスしながら検出したデータが誤データかどうかを判別し、誤データであった場合は再びレジスタ6にデータを書き込んだ後にRAM4をアクセスしながら次にキャリッジリターンキーが押下されるのを待つという構成が考えられるが、この場合キャリッジリターンキーが押下された

とにレジスタの内容を書き替える必要があるため、誤データであった場合に迅速にパワーセーブモードに復帰できず、ROM 3 が能動状態になっている時間が長くなり、消費電力が増す場合があるという問題点を有していた。

問題点を解決するための手段

本発明は、アドレス信号が記憶エリアのいずれかをアクセスするためのものであった場合第1の信号を出力し、さらにアドレス信号がパワーセーブエリアを示すものであった場合第2の信号を出力するアドレスデコードと、アクセス禁止データが書き込まれるレジスタと、レジスタにアクセス禁止データが書き込まれていた場合には、第1の信号及び第2の信号の両方が出力された場合のみ記憶手段を能動状態にするチップセレクト信号を出力する選択手段を備えたものである。

作 用

上記構成により、パワーセーブ状態でパワーセーブエリアがアクセスされる時はレジスタの内容を書き替えることなく、記憶手段をアクセスする

された領域を示すアドレスが指定された場合端子C2及びC3にチップセレクト信号を出力するアドレスデコード、12は論理和回路、13は論理積回路である。

以上のように構成された本実施例の電子タイプライターについて、以下その動作について第3図及び第4図のフローチャートを用いて説明する。

従来例と同様オペレーターが一定時間以上キーボードを操作しなかった場合、電子タイプライターはパワーセーブモードに移行する。

まずステップ(A)でCPU1は、ROM10に記憶されているパワーセーブ時のプログラムをRAM4内のパワーセーブエリアに転送し、ステップ(I)でレジスタ6にアクセス禁止データを書き込む。

次にステップ(W)でパワーセーブ時のプログラムを実行する。このプログラムは、キャリッジリターンキーが押されたかどうかを検出するだけのものであり、チャタリング防止のためのルーチンは含まれていない。またこのプログラムはR

ことができる。

実 施 例

第1図は本発明の一実施例における電子タイプライターの回路ブロック図であり、1はCPU、4はRAM、5はキーボード、6はレジスタであり、これらは従来例と同様の構成である。10はROMであり、第2図のメモリマップに示すように0000番地から7FFF番地まではROM10のアドレスであり、この領域中にチャタリング防止用のルーチンが記憶されており、パワーセーブ中にキャリッジリターンキーが押下されると、CPU1はROM10をアクセスしながらチャタリングの防止を行う。11はRAM4の領域である8000番地からFFFF番地のアドレスがCPU1により指定された場合端子C1にチップセレクト信号を出力し、ROM10の領域であり、かつチャタリング防止用のルーチンが記憶された領域以外の領域を示すアドレスが指定された場合端子C2のみにチップセレクト信号を出力し、チャタリング防止用のルーチンが記憶

AM4に格納されているため、CPU1はRAM4とキーボード5のみをアクセスする。

次にステップ(E)でキャリッジリターンキーが押下されたことを検出すると、ステップ(O)でパワーセーブ用プログラムに復帰し、ステップ(K)でROM10に記憶されているチャタリング用ルーチンを実行し、キャリッジリターンキーの検出がチャタリング等による誤データでないかを判別する。

この時レジスタ6にはROM10のアクセス禁止データが書き込まれたままであるが、CPU1から出力されたアドレスがチャタリング防止用ルーチンが記憶された領域を示すものであるため、アドレスデコード11は端子C2及びC4にチップセレクト信号を出力しており、ROM10のチップセレクト端子にはROM10を能動状態にする信号が印加されている。

ステップ(K)でキャリッジリターンキーの検出がチャタリング等による誤データでないかを判別した結果、誤データであった場合は再びス

ステップ(ウ)で再び復帰用サブルーチンを実行し、誤データでなかった場合はステップ(キ)でレジスタ6の内容をROM10のアクセスを可能にするものに書き替え、ステップ(ク)でメインルーチンに復帰し、パワーセーブモードを解除する。

本実施例によれば、チャタリング防止用ルーチンの実行をROM10をアクセスしながら行う構成であるにもかかわらず、キャリッジリターンキーが押下され、チャタリング防止ルーチンを実行する時は、レジスタの内容を書き替えることなく実行されるため、迅速にパワーセーブモードに復帰でき、アドレスバスABにノイズが生じてもROM10が能動状態となっている期間が短いため、消費電力が増すことを抑えることができる。

発明の効果

本発明は、アドレス信号が記憶エリアのいずれかをアクセスするためのものであった場合第1の信号を出力し、さらにアドレス信号がパワーセー

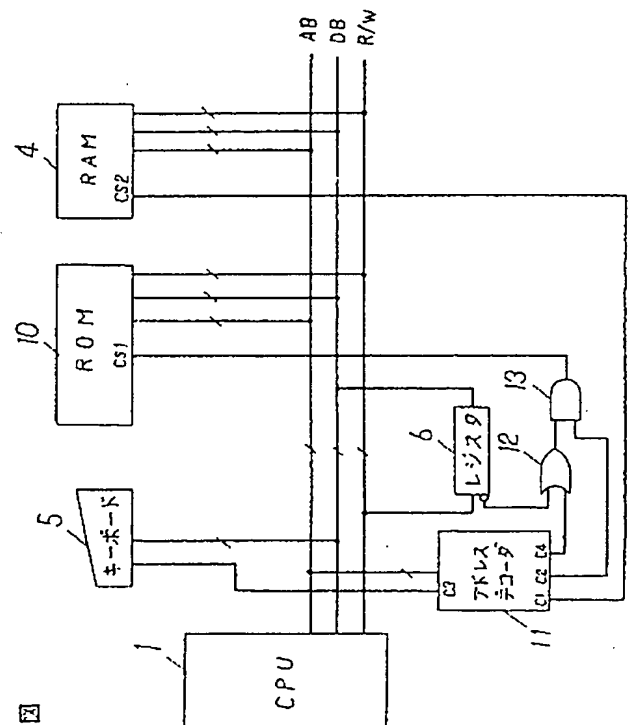
ブエリアを示すものであった場合第2の信号を出力するアドレスデコードと、アクセス禁止データが書き込まれるレジスタと、レジスタにアクセス禁止データが書き込まれていた場合、第1の信号及び第2の信号の両方が出力された場合のみ記憶手段を能動状態にするチップセレクト信号を出力する選択手段を備えたものであり、パワーセーブ状態でパワーセーブエリアがアクセスされる時はレジスタの内容を書き換えることなく、記憶手段をアクセスすることができ、迅速にパワーセーブモードに復帰でき、アドレスバスにノイズが生じても記憶手段が能動状態となっている期間が短いため、消費電力が増すことを抑えることができる。

4. 図面の簡単な説明

第1図は本発明の一実施例における電子タイプライターの回路ブロック図、第2図は同メモリマップ、第3図及び第4図は同フローチャート、第5図は従来の電子タイプライターの回路ブロック図、第6図は同メモリマップである。

- 1…CPU、 4…RAM、
5…キーボード、 6…レジスタ、
10…ROM、 11…アドレスデコード、
12…論理和回路、 13…論理積回路。

代理人の氏名 弁理士 中尾敏男 ほか1名



第1図

Fig. 1 is a circuit block diagram of an electronic typewriter according to one embodiment of the present invention. 1 denotes a CPU, 4 denotes a RAM, 5 denotes a keyboard, and 6 denotes a register, in which these have the same constitution as the conventional example. 10 denotes a ROM, which has the addresses from 0000 to 7FFF as shown in a memory map of Fig. 2, and stores a chattering prevention routine for this area, whereby if the carriage return is depressed during the power saving, the CPU 1 has access to the ROM 10 to prevent chattering. 11 denotes an address decoder for outputting a chip select signal to a terminal C1 if any address from 8000 to FFFF in an area of the RAM 4 is designated by the CPU 1, outputting a chip select signal to a terminal C2 if any address in an area other than where the chattering prevention routine is stored is designated, or outputting a chip select signal to the terminals C2 and C3 if any address in an area where the chattering prevention routine is stored, 12 denotes a logical sum circuit, and 13 denotes a logical product circuit.

The operation of the electronic typewriter of this embodiment as constituted above will be set forth below with reference to the flowcharts of Figs. 3 and 4.

If the operator does not operate the keyboard for a certain time or more, the electronic typewriter transfers to a power saving mode in the same manner as the conventional example.

First of all, the CPU 1 transfers a program stored in the

BEST AVAILABLE COPY

ROM 10 at the time of power saving to a power saving area within the RAM 4 at step (1), and writes the access inhibit data in the register 6 at step (2).

At step (3), the program for the power saving is executed.

5 This program is only used to detect whether the carriage return is depressed or not, but does not include a routine for preventing chattering. Since this program is stored in the RAM 4, the CPU 1 gains access only to the RAM 4 and the keyboard 5.

16 At step (4), if depressing the carriage return is detected, the procedure returns to the power saving program at step (5). At step (6), the chattering routine stored in the ROM 10 is executed to discriminate whether or not the detection of carriage return key is not error data due to chattering.

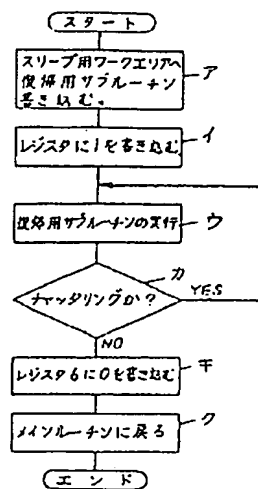
15 At this time, the access inhibit data of the ROM 10 is kept written in the register 6, but because the address output from the CPU 1 indicates an area where the chattering prevention routine is stored, the address decoder 11 output a chip select signal to the terminals C2 and C4, and a signal for making the ROM 10 active is applied to a chip select terminal of the ROM 10.

20 As a result of discrimination at step (6), if the detection of carriage return key is error data due to chattering, the return subroutine is executed again at step (3), or otherwise, the content of the register 6 is rewritten to enable the access to the ROM 10 at step (7). Then the procedure returns to a main routine at step (8) to release the power saving mode.

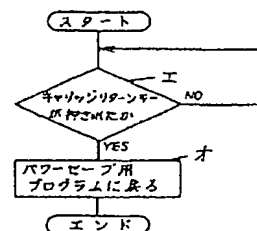
25 With this embodiment, though the chattering prevention

routine is executed while accessing the ROM 10, when the chattering prevention routine is executed by depressing the carriage return, the content of the register is not rewritten. Therefore, the operation can promptly return to the power saving mode, and due to a short period for which the ROM 10 is in an active state even if noise arises in an address bus AB, the consumption power can be suppressed.

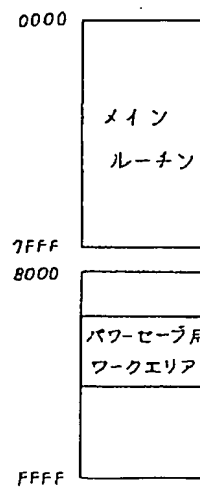
第 3 図



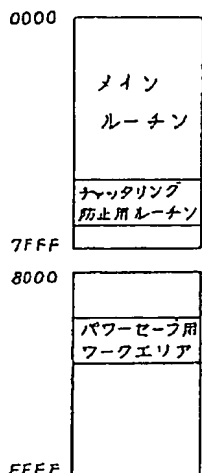
第 4 図



第 6 図



第 2 図



第 5 図

